

Searching PAJ

1/2 ページ

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-342881

(43)Date of publication of application : 13.12.1994

(51)Int.Cl.

H01L 27/088  
H01L 27/092

(21)Application number : 05-132057

(71)Applicant : TOSHIBA CORP  
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 02.06.1993

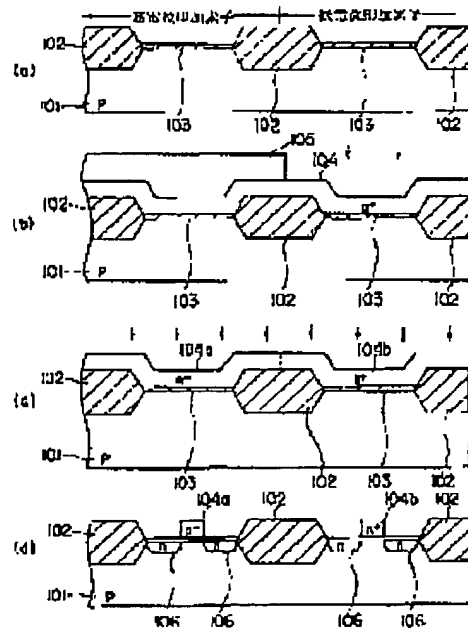
(72)Inventor : ARAI NORIHISA

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To realize acceleration, to obtain high reliability while reducing a manufacturing cost and improving yield when MOS transistors to be driven by two different power source voltages are provided on a substrate and to enhance performance and miniaturization of a MOS transistor.

CONSTITUTION: The semiconductor device comprises a gate insulating film 103 having a predetermined thickness and formed on a surface of an element forming region of a semiconductor substrate 101, and a gate electrode 104a formed on a second element forming region and having relatively thin impurity concentration. Further, the device comprises a second MOS transistor used by applying a relatively high power source voltage thereto, a first MOS transistor having a relatively high impurity concentration gate electrode 104b formed of the same wiring layer as a second gate electrode and used by applying a relatively low power source voltage thereto.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-342881

(43) 公開日 平成6年(1994)12月13日

(51) Int.Cl. <sup>3</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/088 27/092		9170-4M 9170-4M	H 0 1 L 27/ 08	1 0 2 A 3 2 1 D

審査請求 未請求 請求項の数5 O L (全 9 頁)

(21) 出願番号 特願平5-132057

(22) 出願日 平成5年(1993)6月2日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 新井 範久

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

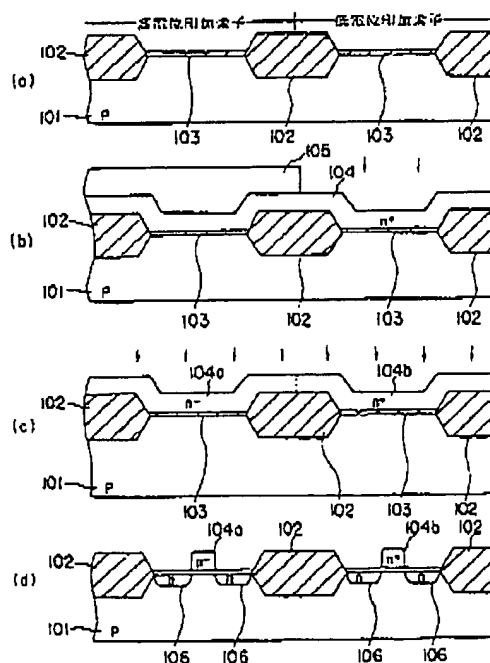
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 2つの異なる電源電圧で駆動されるMOSトランジスタを同一基板上に設ける際、製造コストの低減、歩留まりの向上を図りながら高速化を実現し、高い信頼性を確保し、MOSトランジスタの高性能化・微細化を可能とする半導体装置およびその製造方法を提供する。

【構成】 半導体基板101の素子形成領域の表面に形成された一定の膜厚を有するゲート絶縁膜103と、第2の素子形成領域に形成され、不純物濃度が比較的薄いゲート電極104aを有し、比較的高い電源電圧が印加されて使用される第2のMOSトランジスタと、第1の素子形成領域に形成され、第2のゲート電極と同一の配線層により形成された不純物濃度が比較的濃いゲート電極104bを有し、比較的低い電源電圧が印加されて使用される第1のMOSトランジスタとを具備することを特徴とする。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、

この半導体基板の表面に選択的に形成された素子分離絶縁膜と、

上記半導体基板の素子形成領域の表面に形成された一定の膜厚を有するゲート絶縁膜と、

前記素子形成領域のうちで第1の電源電圧が印加される第1のMOSトランジスタを形成しようとする第1の素子形成領域のゲート絶縁膜上に形成され、第1の不純物濃度を有する第2導電型の多結晶シリコンを用いた第1のゲート電極と、

この第1のゲート電極の下方のチャネル領域を挟んで前記第1の素子形成領域の表面に形成された第2導電型の第1のソース・ドレイン領域と、

前記素子形成予定領域のうちで前記第1の電源電圧よりも高い第2の電源電圧が印加される第2のMOSトランジスタを形成しようとする第2の素子形成領域のゲート絶縁膜上に形成され、前記第1のゲート電極と同一の配線層により形成され、前記第1の不純物濃度よりも低い第2の不純物濃度を有する第2導電型の多結晶シリコンを用いた第2のゲート電極と、

この第2のゲート電極の下方のチャネル領域を挟んで前記第1の素子形成領域の表面に形成された第2導電型の第2のソース・ドレイン領域とを具備することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第2のゲート電極は、前記多結晶シリコンの上面に高融点金属シリサイドが形成されたポリサイドゲート電極であることを特徴とする半導体装置。

【請求項3】 第1導電型の半導体基板の表面に選択的に素子分離絶縁膜を形成し、素子形成領域の基板表面にゲート絶縁膜を形成する工程と、

上記素子形成領域のうちで第1の電源電圧が印加される第1のMOSトランジスタを形成しようとする第1の素子形成領域のゲート絶縁膜上には、第1の不純物濃度を有する第2導電型の多結晶シリコンを用いた第1のゲート電極を形成し、前記素子形成予定領域のうちで前記第1の電源電圧よりも高い第2の電源電圧が印加される第2のMOSトランジスタを形成しようとする第2の素子形成領域のゲート絶縁膜上には、前記第1の不純物濃度よりも低い第2の不純物濃度を有する第2導電型の多結晶シリコンを用いた第2のゲート電極を形成するゲート電極形成工程と、

上記第1のゲート電極および第2のゲート電極をマスクとして前記第1の素子形成領域の表面および前記第2の素子形成領域の表面に第2導電型の不純物をドーピングしてソース・ドレイン領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、

(2)

特開平6-342881

2

前記ゲート電極形成工程は、

前記ゲート絶縁膜および素子分離絶縁膜上に多結晶シリコンを形成する工程と、

上記多結晶シリコンの不純物濃度を第2の不純物濃度に設定しようとする領域にレジストパターンを形成する工程と、

上記レジストパターンをマスクとして前記多結晶シリコンに第2導電型の不純物をドーピングする工程と、

前記レジストパターンを除去した後、前記多結晶シリコンに第2導電型の不純物をドーピングする工程と、

上記不純物がドーピングされた多結晶シリコンをパターンニングして前記第1のゲート電極および第2のゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】 請求項3記載の半導体装置の製造方法において、

前記ゲート電極形成工程は、

前記ゲート絶縁膜および素子分離絶縁膜上に多結晶シリコンを形成する工程と、

上記多結晶シリコンの不純物濃度を第2の不純物濃度に設定しようとする領域にレジストパターンを形成する工程と、

上記レジストパターンをマスクとして前記多結晶シリコンに第2導電型の不純物をドーピングする工程と、

前記レジストパターンを除去した後、前記多結晶シリコンに第2導電型の不純物をドーピングする工程と、

上記不純物がドーピングされた多結晶シリコン上の全面に高融点金属膜を堆積した後、アニール処理を行い、ポリサイド膜を形成する工程と、

上記ポリサイド膜をパターンニングして第1のポリサイド・ゲート電極および第2のポリサイド・ゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に係り、特に同一半導体基板上に形成された動作電源電圧が異なる複数種類のMOSトランジスタおよびその形成方法に関する。

【0002】

【従来の技術】近年、半導体装置の高速化・高密度の要求が益々高くなっており、この要求を満足するには、長く複雑な製造工程とこれに伴う歩留まりの低下が避けられず、製造コストの上昇と信頼性の低下をまねいているのが現実である。

【0003】高速化・高密度の要求に応えるには、従来からスケールング則に従った素子の微細化が有効であることは当然である。周知のスケールング則では、電界一定の考えから電源電圧も小さくする必要があるが、半導体装置を組み込むシステムでは、独自の電源を使用する

3

ことは出来ず、通常、5V電源が使われる。

【0004】このような事情により、スケーリング則に従った素子の微細化は、電源電圧が一定のままではデバイス寸法が縮小していくので、デバイス内部の電界は高まる一方である。また、素子の信頼性を確保するために、ゲート酸化膜厚さをある程度大きく確保する必要があるため、ゲート酸化膜厚さのスケーリングが不可能であり、このことが素子の高性能化の妨げになっているのは周知の通りである。

【0005】特に、省込みや・消去動作時に高い電源電圧が使用されている不揮発性メモリでは、素子の微細化が一段困難になっている。そこで、従来の半導体装置には、同一半導体基板上に形成される素子群のうちで高い電圧が直接に加えられる素子の数を制限し、その他の素子には低い電圧で動作させる回路構成を採用したものがあ

る。

【0006】以下、この種の従来の半導体装置の製造方法の一例について、図5(a)乃至(d)を参照しながら説明する。まず、図5(a)に示すように、第1導電型の半導体基板301の表面に選択的に素子分離絶縁膜302を形成し、この素子分離絶縁膜302を除く領域(素子形成予定領域)の基板表面上にゲート酸化膜用のシリコン酸化膜303を形成する。

【0007】この素子形成予定領域の一部は、高い電圧が直接に加えられる素子を形成するための第2の素子形成予定領域として使用され、残りの大部分は、低い電源電圧が印加される素子を形成するための第1の素子形成予定領域として使用される。

【0008】次に、図5(b)に示すように、前記高い電圧が直接に加えられる素子を形成しようとする第2の素子形成予定領域およびこの領域に隣接する素子分離絶縁膜302の上にレジストパターン305を形成する。

【0009】この後、上記レジストパターン305をマスクとして、前記低い電圧が印加される素子を形成しようとする第1の素子形成予定領域のシリコン酸化膜303をエッチング除去する。この工程で、前記レジストパターン305により覆われていない素子分離絶縁膜302は、図3(c)に示すように、膜厚が後退する。

【0010】その後、前記レジストパターン305を除去した後、熱酸化を加える。これにより、図5(c)に示すように、第2の素子形成予定領域の酸化膜303はさらに厚い酸化膜303aになり、前記レジストパターン305をマスクとしてエッチング除去された第1の素子形成予定領域には新たに薄い酸化膜307が形成される。この後、全面に多結晶シリコン304を堆積した後、上記多結晶シリコンに第2導電型の不純物のドーピングを施す。

【0011】次に、図5(d)に示すように、前記多結晶シリコン304をエッチング加工してゲート電極配線306を形成し、さらに、上記ゲート電極配線306を

(3)

特開平6-342881

4

マスクとしてドレイン・ソース用の第2導電型の不純物領域308を前記半導体基板301の表面層に形成する。

【0012】このようにして形成されたデバイスは、高い電圧が直接に加えられる一部の素子は厚いゲート酸化膜303aを有するように構成し、低い電圧が直接に加えられる大部分の素子素子は薄い酸化膜307を有するように構成されている。

【0013】これにより、大部分の素子は、低い電圧により駆動され、印加電界が充分低減されるので、ゲート酸化膜厚を薄くしたスケーリングが可能となり、微細化・素子高性能化が可能になる。

【0014】なお、前記高い電圧として外部から供給される電源電圧が使用され、前記低い電圧として、上記電源電圧の電位を降下させて生成した電圧が用いられる。しかし、上記したような方法で作成されたデバイスは、次に述べるような問題がある。

【0015】図5(b)に示した第1の素子形成予定領域のシリコン酸化膜303のエッチング除去工程で素子分離絶縁膜302の膜厚の後退が生じる(つまり、レジストパターン305の端部に対応して素子分離絶縁膜302に段差が生じる)ので、図5(d)に示したように、ゲート電極配線形成工程で上記段差部にエッチング残り309が発生する。このエッチング残り309は、ゲート電極のショート不良の原因となるばかりでなく、ゲート電極配線形成以降の工程でエッチング残り309が脱離して生じるダストが種々の不良の原因となるのは避けられない。

【0016】また、前記したような素子分離絶縁膜302の膜厚の後退は、素子分離領域に生じる寄生トランジスタの反転耐圧の低下をまねき、素子の微細化を阻害する要因になる。

【0017】また、図5(b)に示した第1の素子形成予定領域のシリコン酸化膜303のエッチング除去工程では、レジストパターン305が第2の素子形成予定領域のゲート酸化膜303上に存在するので、前記レジストパターン305から下側のゲート酸化膜303にその絶縁破壊をまねくおそれのある汚染物質が侵入することは避けられない。これにより、ゲート酸化膜303の破壊による歩留まりの低下をまねくほか、素子の信頼性を著しく低下させる原因となる。

【0018】また、上記したようにして形成されたデバイスは、通常の1種類のゲート酸化膜厚を用いるデバイスと比べて、ゲート酸化のための熱工程が増えるので、製造工程の増加による製造コストの増加をまねくほか、上記熱工程が多いと素子の微細化上不利になる。

【0019】

【発明が解決しようとする課題】上記したように従来の半導体装置の製造方法は、半導体装置の高速化・高密度の要求に応えるために2つの異なった電源電圧で駆動す

5

るMOSトランジスタを同一基板上に設けようとする  
と、製造コストの上昇と信頼性の低下をまねくという問  
題があった。

【0020】本発明は上記の問題点を解決すべくなされ  
たもので、2つの異なった電源電圧で駆動されるMOS  
トランジスタを同一基板上に設ける際、製造コストの低  
減、歩留まりの向上を図りながら高速化を実現し、高い  
信頼性を確保し、MOSトランジスタの高性能化・微細  
化を可能とする半導体装置およびその製造方法を提供す  
ることを目的とする。

【0021】

【課題を解決するための手段】本発明の半導体装置は、  
第1導電型の半導体基板と、この半導体基板の表面に選  
択的に形成された素子分離絶縁膜と、上記半導体基板の  
素子形成領域の表面に形成された一定の膜厚を有するゲ  
ート絶縁膜と、前記素子形成領域のうちで第1の電源電  
圧が印加される第1のMOSトランジスタを形成しようと  
する第1の素子形成領域のゲート絶縁膜上に形成され、  
第1の不純物濃度を有する第2導電型の多結晶シリ  
コンを用いた第1のゲート電極と、この第1のゲート電  
極の下方のチャネル領域を挟んで前記第1の素子形成領  
域の表面に形成された第2導電型の第1のソース・ドレ  
イン領域と、前記素子形成領域のうちで前記第1の  
電源電圧よりも高い第2の電源電圧が印加される第2の  
MOSトランジスタを形成しようとする第2の素子形成  
領域のゲート絶縁膜上に形成され、前記第1のゲート電  
極と同一の記録層により形成され、前記第1の不純物濃  
度よりも低い第2の不純物濃度を有する第2導電型の多  
結晶シリコンを用いた第2のゲート電極と、この第2の  
ゲート電極の下方のチャネル領域を挟んで前記第2の素  
子形成領域の表面に形成された第2導電型の第2のソー  
ス・ドレイン領域とを具備することを特徴とする。

【0022】また、本発明の半導体装置の製造方法は、  
第1導電型の半導体基板の表面に選択的に素子分離絶縁  
膜を形成し、素子形成領域の基板表面にゲート絶縁膜を  
形成する工程と、上記素子形成領域のうちで第1の電源  
電圧が印加される第1のMOSトランジスタを形成しよ  
うとする第1の素子形成領域のゲート絶縁膜上には第1  
の不純物濃度を有する第2導電型の多結晶シリコンを用  
いた第1のゲート電極を形成し、前記素子形成領域の  
うちで前記第1の電源電圧よりも高い第2の電源電圧  
が印加される第2のMOSトランジスタを形成しようと  
する第2の素子形成領域のゲート絶縁膜上には前記第1  
の不純物濃度よりも低い第2の不純物濃度を有する第2  
導電型の多結晶シリコンを用いた第2のゲート電極を形  
成するゲート電極形成工程と、上記第1のゲート電極お  
よび第2のゲート電極をマスクとして前記第1の素子形  
成領域の表面および前記第2の素子形成領域の表面に第  
2導電型の不純物をドーピングしてソース・ドレイン領  
域を形成する工程とを具備することを特徴とする。

(4)

特開平6-342881

6

【0023】

【作用】この半導体装置は、第2のMOSトランジスタ  
のゲート電極（第2のゲート電極）の不純物濃度が低い  
ので、このゲート電極に高い電圧が印加された時、この  
ゲート電極のゲート絶縁膜側に空乏層が形成され、この  
ゲート電極下のゲート絶縁膜の容量が実効的に低下する  
効果により電界が弱められる。

【0024】換言すれば、ゲート電極の不純物濃度を制  
御することによりゲート絶縁膜の実効的な膜厚を制御す  
ることにより、1種類（同一膜厚）のゲート絶縁膜を用  
いながら実効的にあたかも2種類のゲート絶縁膜を持つ  
デバイスとして動作する。

【0025】従って、2つの異なった電位が印加される  
ような回路構成では、電界を強めることなく、与えられ  
た電位値にMOSトランジスタを設計することが可能と  
なり、微細化、高性能化を実現することが可能になる。

【0026】また、この半導体装置の製造方法は、熱酸  
化によるゲート絶縁膜形成工程が1回で済む（従来例よ  
りも熱工程が少なく済む）ので、工程の簡略化による  
製造コストの低減化を実現でき、不純物の拡散速度の制  
御が容易となり、MOSトランジスタの微細化上有利と  
なる。

【0027】また、従来例の工程で問題となつている素  
子分離絶縁膜の膜厚の後退は発生しないので、ゲート電  
極加工時に生じるエッチング残渣をまねく段差が生じな  
くなり、歩留まりが向上する。

【0028】また、ゲート絶縁膜と直接に接するように  
レジストパターンを作成する工程が存在しないので、レ  
ジスト材からゲート絶縁膜への汚染は生じなくなり、ゲ  
ート絶縁膜の絶縁破壊をまねくような不良はなくなり、  
素子の信頼性が向上する。

【0029】

【実施例】以下、図面を参照して本発明の実施例を詳細  
に説明する。図1（a）乃至（d）は、本発明の第1実  
施例に係るNチャネル型半導体装置の製造工程における  
ウェハ断面構造を示している。

【0030】この第1実施例について図面を参照しなが  
ら詳述する。まず、図1（a）に示すように、P型シリ  
コン基板101表面に、周知のLOCOS（選択酸化）  
法により600nmの素子分離用酸化膜102を形成す  
る。この後、前記基板101上に、熱酸化によりゲート  
酸化膜103を形成する。

【0031】次に、図1（b）に示すように、周知のL  
PCVD（減圧気相成長）法を用いて、基板上の全面に  
ゲート電極形成用の多結晶シリコン104を堆積する。  
この後、周知のリソグラフィ技術を用いて、高電位  
（例えば最大12V）が印加されることが予定されてい  
る素子を形成しようとする第2の素子形成領域上にレジ  
ストパターン105を形成する。そして、上記レジスト  
パターン105をマスクとして、低電位（例えば最大5

(5)

特開平6-342881

7

V) が印加されることが予定されている素子を形成しようとする第1の素子形成領域の多結晶シリコン104に、n型不純物であるリンを加速エネルギー60keV、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ でイオン注入する。

【0032】次に、図1(c)に示すように、前記レジストパターン105を剥離した後、前記多結晶シリコン104の全面にリンを加速エネルギー60keV、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ でイオン注入し、続いて周知のアニール処理を行う。これにより、リン濃度の低いn型の多結晶シリコン104aとリン濃度の高いn+型の多結晶シリコン104bが形成される。

【0033】次に、図1(d)に示すように、周知のソングラフ技術とエッチング技術により、前記多結晶シリコン104a、104bを加工してn-型の第2のゲート電極104aおよびn+型の第1のゲート電極104bを形成した後、このゲート電極104a、104bをマスクとして不純物をドーピングする(例えばリンをイオン注入してアニールする)ことにより、P型シリコン基板101の表面にソース・ドレインとなるn型拡散層106を形成する。

【0034】この後、いずれも周知の技術により、A1配線、バッシベーション膜形成工程等を経てNチャネル型半導体装置を完成させる。上記第1実施例の半導体装置は、不純物濃度が薄く設定されたゲート電極に電位を加えた時に、上記ゲート電極のゲート絶縁膜側に空乏層が形成され、上記ゲート絶縁膜の容量が実効的に低下する効果により電界が弱められるといった周知の事実(M. Iwase et al., "Effect of Depleted Poly-Si Gate MOSFET Performance", ISDM 1990, pp. 271-274)を利用して製造されている。

【0035】即ち、第2の素子形成領域に形成された第2のMOSトランジスタのゲート電極(第2のゲート電極104a)の不純物濃度が薄いので、このゲート電極に高い電圧が印加された時、このゲート電極のゲート絶縁膜側に空乏層が形成される。これにより、第2のゲート電極下のゲート絶縁膜部分の容量が実効的に低下する効果により電界が弱められ、このゲート絶縁膜部分の膜厚を実効的に厚くすることが可能となる。

【0036】換言すれば、ゲート電極の不純物濃度を制御することによりゲート絶縁膜の実効的な膜厚を制御することにより、1種類(同一膜厚)のゲート絶縁膜を用いながら実効的にあたかも2種類のゲート絶縁膜を持つデバイスとして動作する。

【0037】従って、2つの異なる電位が印加されるような回路構成では、電界を強めることなく、与えられた電位毎にMOSトランジスタを設計することが可能となり、微細化、高性能化を実現することが可能になる。

【0038】また、上記第1実施例の半導体装置の製造方法は、熱酸化によるゲート絶縁膜形成工程が1回で済む(従来例よりも熱工程が少なくて済む)ので、工程の

N

簡略化による製造コストの低減化を実現でき、不純物の拡散速度の制御が容易となり、MOSトランジスタの微細化上有利となる。

【0039】また、本実施例では、従来例の図5(b)に示した工程で問題となっている素子分離絶縁膜の膜厚の後退は発生しないので、ゲート電極加工時に生じるエッチング残渣をまねく段差が生じなくなり、ゲート電極の短絡を始めとする様々な不良が激減し、歩留りが向上する。

【0040】また、素子分離絶縁膜の膜厚の後退はフィールド間の寄生トランジスタの反転耐圧の低下をまねくが、本実施例では、素子分離絶縁膜の膜厚の後退は発生しないので、上記寄生トランジスタの反転耐圧の低下を防止することができる。

【0041】また、本実施例では、従来例の図5(b)に示した工程のようなイオン注入マスク用のレジスト材がゲート絶縁膜と直接に接する工程が存在しないので、レジスト材からゲート絶縁膜へ汚染物質が侵入することはない。これにより、ゲート絶縁膜の絶縁破壊をまねく等の不良が激減し、長期信頼性(酸化膜のライフタイム)が大きく改善される。

【0042】なお、前記第2のゲート電極104a、第1のゲート電極104bの不純物濃度は、上記実施例に限らず、第2のゲート電極104aに前記したような空乏層が形成される濃度であればよく、第2のゲート電極104aの不純物濃度を $3 \times 10^{19} \text{ cm}^{-3}$ 以下に設定し、第1のゲート電極104bの不純物濃度を $3 \times 10^{19} \text{ cm}^{-3}$ を超えるように設定することにより本発明の効果が得られる。

【0043】また、図1(b)に示した工程において、レジストパターン105の代わりにSiO<sub>2</sub>等のSi化合物を用いることにより、リンイオン注入法の代わりにリン拡散法を使用することができる。また、図1(b)の工程と図1(c)の工程との順序を入れ替えてもよい。

【0044】また、本発明はPチャネル型半導体装置についても適用できる。この場合は、前記第1実施例において、P型半導体基板101の代わりにN型半導体基板を使用し、多結晶シリコン104にn型不純物の代わりにp型不純物をドーピングし、ゲート電極形成後の半導体基板にn型不純物の代わりにp型不純物をドーピングすればよい。

【0045】ところで、一般に、不純物濃度が低い多結晶シリコンのみによりゲート電極を形成すると、ゲート電極配線抵抗が大きくなるので、この配線抵抗の増加を抑制するために、例えば図2に示す半導体装置のように製造することが望ましい。

【0046】図2は、上記第1実施例の変形例の工程におけるウェハ断面構造を示している。この変形例では、図1(c)に示したようにn-型の多結晶シリコン

9

104aおよびn+型の多結晶シリコン104bを形成した後、その上面全面に高融点金属膜（タングステン・シリサイドWSi、チタンシリサイドTiSi、モリブデンシリサイドMoSiなど）201を堆積した後、N<sub>2</sub>雰囲気中で900℃、30分のアニール処理を行う。これにより、前記多結晶シリコン104a、104bはポリサイド膜204a、204bになる。この場合、本例では、高融点金属膜としてWSi膜をスパッタ法により例えば200nm堆積した。

【0047】この後、上記ポリサイド膜204a、204bを加工してn-型の第2のポリサイド・ゲート電極204aおよびn+型の第1のポリサイド・ゲート電極204bを形成することにより、配線抵抗が十分に低減されたゲート電極を実現できる。なお、高融点金属膜の堆積後に熱処理を行わないでエッチング加工を施し、その後アニール処理を行うことでポリサイド・ゲート電極を形成するようにしてもよい。

【0048】また、上記ポリサイド・ゲート電極204a、204bは、ゲート電極形成後に図1(d)に示したようにソース・ドレインとなる拡散層106を形成する際、不純物濃度が低い第2のポリサイド・ゲート電極204aの多結晶シリコン104aの不純物濃度が必要以上に高められることを防止する作用を有するので、ゲート電極の不純物濃度の制御を容易とする効果も併せ持つ。

【0049】図3(a)乃至(c)および図4(a)乃至(c)は、本発明の第2実施例に係るCMOS型半導体装置の製造工程におけるウェハ断面構造を示している。この第2実施例は、特に耐圧が要求されるEPROM（電気的再書き込み可能な読み出し専用メモリ）の周辺トランジスタに一般に高い接合耐圧が見込まれるLDD（Lightly Doped Drain）構造を用いた例である。

【0050】以下、第2実施例について図面を参照しながら詳述する。まず、図3(a)に示すように、P型シリコン基板201の表面部の一部にNウェル拡散層202を形成する。次に、LOCOS法により、前記シリコン基板201表面に600nmの素子分離用酸化膜203を形成する。次に、熱酸化により前記シリコン基板上にゲート酸化膜204を形成する。続いて、LPCVD法により、ゲート電極形成用の多結晶シリコン205を堆積する。

【0051】次に、図3(b)に示すように、リソグラフィ技術とエッチング技術を用いて、前記多結晶シリコン205を加工してゲート電極205を形成する。続いて、リソグラフィ技術を用いて、少なくとも前記Nウェル拡散層202を含む領域上にレジストパターン206を形成した後、このレジストパターン206をマスクとしてリンを加速エネルギー60keV、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ でイオン注入する。

【0052】次に、前記レジストパターン206を剥離

(6)

特開平6-342881

10

した後、図3(c)に示すように、Nチャネル型素子形成予定領域中の高い耐圧が要求される素子形成予定領域上および前記Nウェル拡散層202を含む領域上にレジストパターン207を形成した後、リンを加速エネルギー60keV、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ でイオン注入する。

【0053】次に、N<sub>2</sub>雰囲気中でアニール処理を行うことにより、図4(a)に示すように、リン濃度の比較的薄いn-型の多結晶シリコン205a、リン濃度の比較的濃いn+型の多結晶シリコン205b、ソース・ドレイン領域となるn-拡散層208およびソース・ドレイン領域となるn+拡散層209を形成する。この後、Pチャネル型素子形成予定領域を除く領域にレジストパターン210を形成した後、ボロンを加速エネルギー20keV、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ でイオン注入する。

【0054】次に、図4(b)に示すように、Pチャネル型素子形成予定領域中の高い耐圧が要求されない素子形成予定領域を除いた領域にレジストパターン211を形成した後、ボロンを加速エネルギー20keV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ でイオン注入する。

【0055】次に、N<sub>2</sub>雰囲気中でアニール処理を行うことにより、図4(c)に示すように、ボロン濃度の比較的薄いp-型の多結晶シリコン205c、ボロン濃度の比較的濃いp+型の多結晶シリコン205d、ソース・ドレインとなるp-拡散層212およびソース・ドレインとなるp+拡散層213を形成する。

【0056】この後、いずれも周知の技術により、A1配線、パッシベーション膜形成工程等を経てCMOS型EPROMメモリ装置を完成させる。上記第2実施例においても、前記第1実施例と同様の効果が得られる。

【0057】しかも、この第2実施例では、多結晶シリコン（ゲート電極）に対するドーピング工程をシリコン基板表面にソース・ドレインを形成する工程と兼ねることができる。従って、薄い不純物濃度に設定しようとする多結晶シリコンに対するドーピング工程はLDD用のソース・ドレイン形成工程と兼ねることにより、従来のCMOS工程に対する工程の増加は生じない。

【0058】なお、図3(c)の工段において、レジストパターン207は、高い耐圧が必要とされるNチャネル素子のソース・ドレイン形成予定領域の全てを覆う必要はなく、高い耐圧が必要とされるNチャネル素子のゲート電極を覆うように形成すればよい。この場合、ソース・ドレインの不純物濃度を高くしてその拡散抵抗を小さくすることが可能となる。

【0059】上記と同様な考えにより、図4(b)の工程においても、レジストパターン211は、高い耐圧が必要とされるPチャネル素子のゲート電極を覆うようにすればよく、高い耐圧が必要とされるPチャネル素子のソース・ドレイン形成予定領域の全てを覆う必要はない。

(7)

特開平6-342881

11

い。

【0060】また、図4(c)中の拡散層208および212は、不純物濃度が小さいので配線抵抗が大きくなるが、これを解消するために、Ti(チタン)等の金属を上記拡散層208および212の上に張り付けるように形成してもよい。また、ゲート電極配線抵抗を小さくするために、ゲート電極上にTi等の金属を張り付けるように形成してもよい。

【0061】また、図3(b)の工程と図3(c)の工程との順序を入れ替えてもよく、同様に、図4(a)の工程と図4(b)の工程との順序を入れ替えてもよい。さらに図4(a)の工程で行ったアニール処理は省略しても良く、図4(c)の工程で行う熱処理で代用可能である。

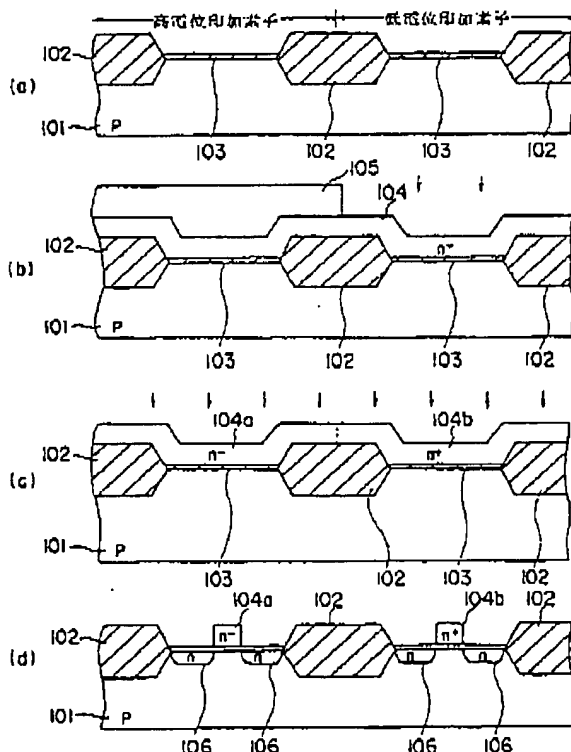
【0062】

【発明の効果】上述したように本発明によれば、2つの異なる電源電圧で駆動されるMOSトランジスタを同一基板上に設ける際、製造コストの低減、歩留まりの向上を図りながら高速化を実現し、高い信頼性を確保し、MOSトランジスタの高性能化・微細化を可能とする半

導体装置およびその製造方法を実現することができる。

【図面の簡単な説明】

【図1】



12

【図1】本発明の第1実施例に係るNチャネル型半導体装置の製造工程におけるウェハ断面を示す断面図。

【図2】図1の変形例の工程におけるウェハ断面を示す断面図。

【図3】本発明の第2実施例に係るCMOS型半導体装置の製造工程の一部におけるウェハ断面を示す断面図。

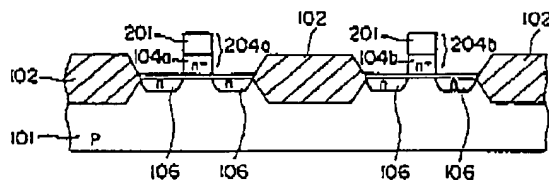
【図4】図3の工程に続く工程におけるウェハ断面を示す断面図。

【図5】従来の片チャネル型半導体装置の製造工程におけるウェハ断面を示す断面図。

【符号の説明】

101、201…P型半導体基板、202…Nウェル拡散層、102、203…シリコン酸化膜(素子分離用)、103…シリコン酸化膜(ゲート絶縁膜)、104、205…多結晶シリコン(ゲート電極用)、104a、205a…n-型多結晶シリコン(第2のゲート電極)、104b、205b…n+型多結晶シリコン(第1のゲート電極用)、105、206、207、210、211…レジストパターン、106、208、209、212、213…ソース・ドレイン用拡散層(208…n-拡散層、209…n+拡散層、212…p-拡散層、213…p+拡散層)。

【図2】







(9)

特開平6-342881

[図5]

